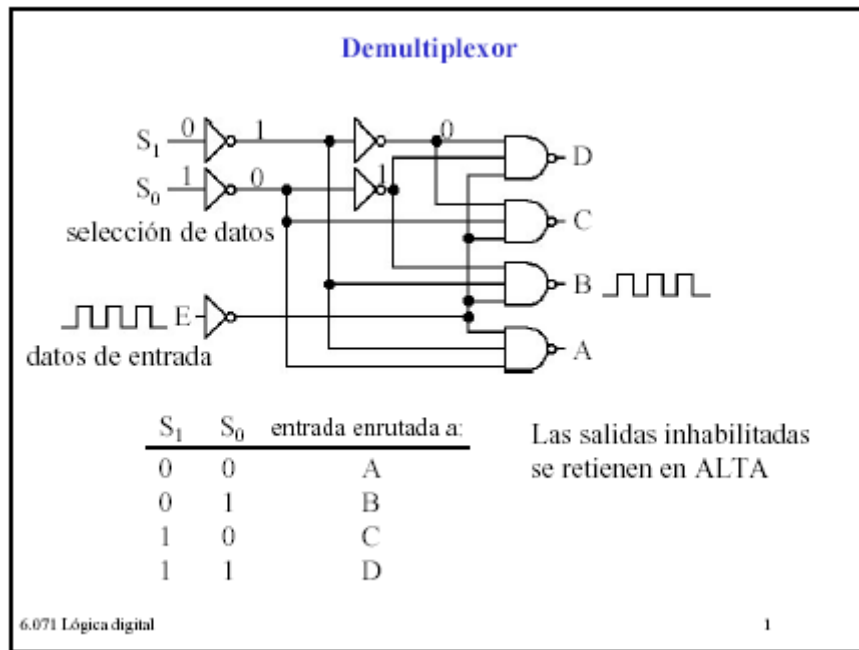
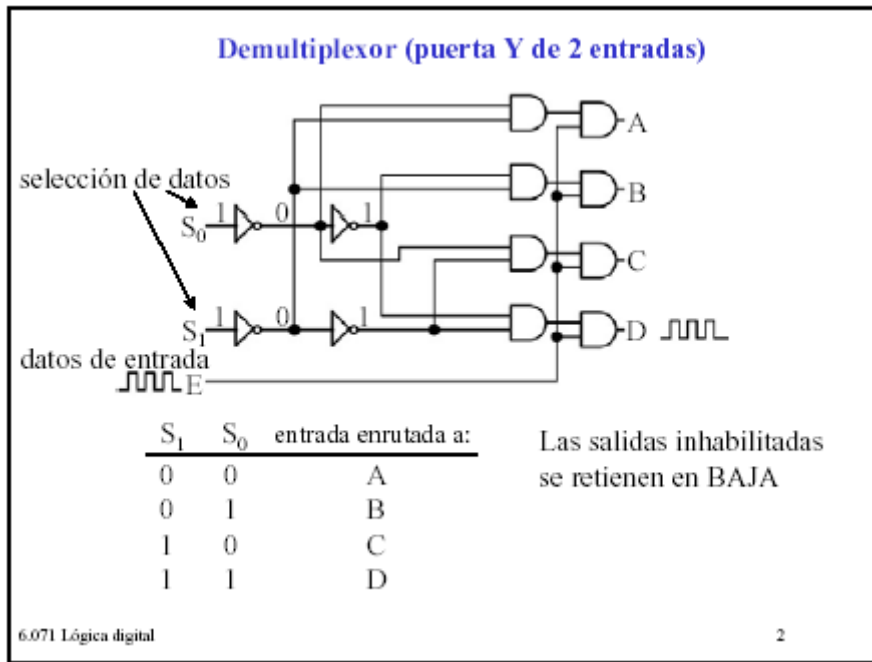


Diapositiva 1

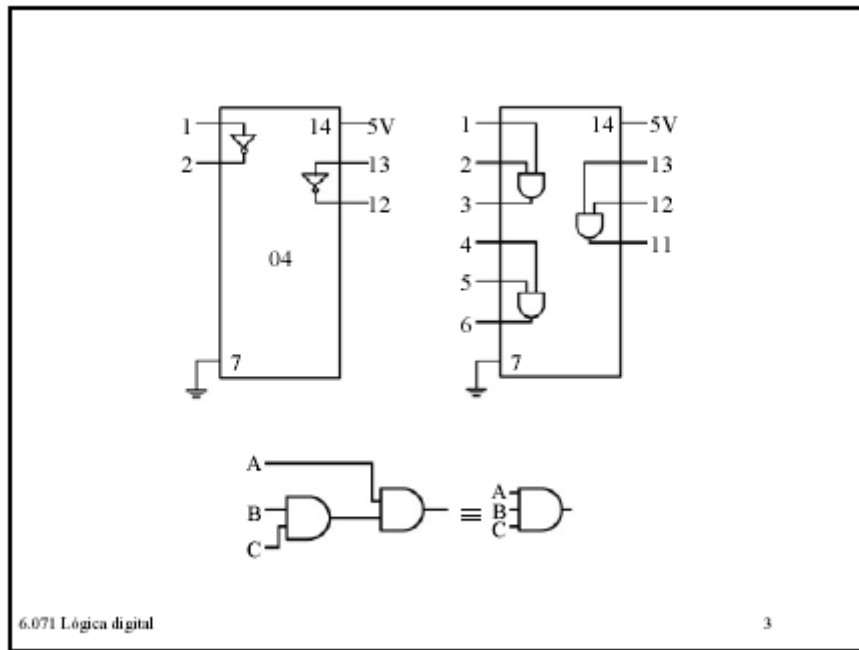


Por supuesto, también se puede hacer lo contrario. Un demultiplexor envía una señal a una de muchas líneas.

Diapositiva 2



Diapositiva 3



## Diapositiva 4

**Representación digital 1**

- Se pueden usar varios sistemas numéricos para representar datos digitales.

**Binario:** sistema de numeración de base dos, números compuestos 1 y 0, llamados *bits*.  
Ejemplo:  $11100_2 = 1 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 = 28_{10}$

**Octal:** sistema de base 8 cuyos dígitos permitidos son 0, 1, 2, 3, 4, 5, 6, 7.  
Ejemplo:  $247_8 = 2 \cdot 8^2 + 4 \cdot 8^1 + 7 \cdot 8^0 = 167_{10}$

**Hexadecimal:** sistema de base 16 cuyos dígitos permitidos son 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F.  
Ejemplo:  $2D5_{16} = 2 \cdot 16^2 + D(=13_{10}) \cdot 16^1 + 5 \cdot 16^0 = 725_{10}$

6.071 Lógica digital 4

En los circuitos digitales la información se almacena en código binario, que consiste en una serie ordenada de códigos de dos estados.

Por comodidad, muchas veces se combinan tres dígitos binarios para formar un código octal, por lo que, aunque se trate la información como si fuese de base ocho, sigue estando almacenada y manipulada en modo binario. Esto también es cierto para el hexadecimal, donde los datos se representan en base 16 y se almacenan en un binario de 4 bits.

**Representación digital 2**

Código binario decimal (BCD) Cada decimal de un número está representado como un número binario de 4 bits. Por tanto,

$$\begin{aligned} 0000_2 &\rightarrow 0_{10} \\ 0001_2 &\rightarrow 1_{10} \\ 0010_2 &\rightarrow 2_{10} \\ &\vdots \\ 0111_2 &\rightarrow 7_{10} \\ 1000_2 &\rightarrow 8_{10} \\ 1001_2 &\rightarrow 9_{10} \end{aligned}$$

son las únicas secuencias binarias de 4 bits utilizadas.

Ejemplo:  $151_{10}$

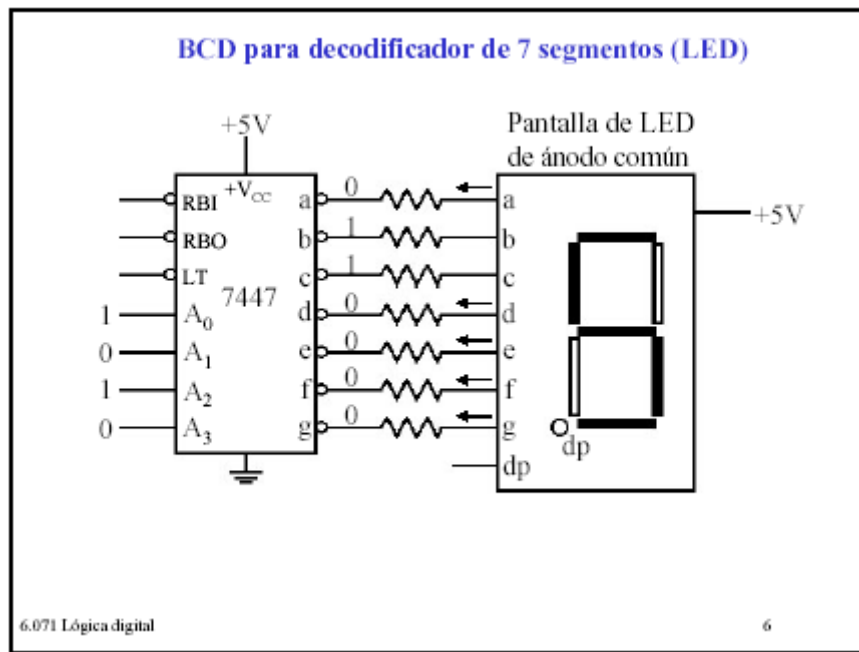
$\begin{array}{ccc} & \swarrow & \downarrow & \searrow \\ & 0001 & 0101 & 0001 \end{array}$  }  $\Rightarrow 151_{10} = 0001\ 0101\ 0001_{(BCD)}$

6.071 Lógica digital 5

Dado que en las manipulaciones normales la base 10 tiene especial importancia, a veces es más cómodo almacenar y procesar la información en código binario decimal. Aquí, los 4 bits se usan para representar los números del 0 al 9. Por supuesto, 4 bits pueden almacenar números del 0 al 15, por lo que queda espacio inutilizado.

El BCD se suele utilizar cuando se quiere obtener una salida de resultados decimales. Usando el BCD se simplifica mucho la tarea, porque cada bit decimal tiene una codificación exclusiva mediante 4 dígitos binarios. Existen codificadores que pasan de binario a BCD y viceversa.

Diapositiva 6



Otro chip complejo, en este caso diseñado para controlar la pantalla numérica de LED.

Ficha técnica del 7447

FAIRCHILD  
SEMICONDUCTOR

DM7446A, DM7447A

Descodificadores/drivers DGM a 7 segmentos

Descripción general

The 46A and 47A feature active-low outputs designed for driving common-anode (LED) or incandescent indicator displays. All of the circuits have full on/off-blanking input/output controls and a lamp test input. Diagrams and sufficient display pin charts are shown on a following page. Display pin charts for BCD input outputs show new and unique symbols for a three-state input condition.

All of the circuits incorporate automatic loading and/or tri-state outputs, zero-blanking control (ZBC) and FRC. Lamp test (LT) of these devices may be performed at any time.

when the output is in a high impedance state (open collector) or a high impedance state (open collector) which can be used to control the lamp intensity (by pulsing) or to inhibit the output.

Características

- All circuit types feature lamp intensity modulation capability
- Open collector outputs drive indicators directly
- Lamp test provision
- Leading/trailing zero suppression

DM7446A, DM7447A BCD to 7-Segment Decoders/Drivers

Diagrama de conexión

Dual-In-Line Package  
Outputs

Order Number DM7447AJ, DM7446AJ or DM7447AN  
See Package Number J16A or B16E

6.071 Lógica digital

7

### Ficha técnica del 7447 (2)

**Valores máximos absolutos** (Nota 1)      DM54      -55°C to +125°C  
 DM74      0°C a +70°C  
 Voltaje de alimentación      7V      Rango de temperatura de almacenamiento      -65°C a +150°C  
 Voltaje de entrada      5.5V  
 Rango de temperatura de funcionamiento al aire libre

**Condiciones de funcionamiento recomendadas**

Símbolo	Parámetro	DM5447A			DM7447A			Unidades
		Min	Nom	Max	Min	Nom	Max	
$V_{CC}$	Voltaje de alimentación	4.5	5	5.5	4.75	5	5.25	V
$V_{IH}$	Voltaje de entrada de nivel alto	2			2			V
$V_{IL}$	Voltaje de entrada de nivel bajo			0.8			0.8	V
$V_{OH}$	Salida de nivel alto Voltaje (a a través de g)			15			15	V
$I_{OH}$	Salida de nivel alto Corriente (BI/RBSO)			-0.2			-0.2	µA
$I_{OL}$	Salida de nivel bajo Corriente (a a través de g)			40			40	mA
$I_{IL}$	Salida de nivel bajo Corriente (BI/RBSO)			8			8	mA
$T_A$	Temperatura funcionamiento aire libre	-55		125	0		70	°C

Ficha técnica del 7447(3)

**47A Características eléctricas**  
dentro del rango de temperatura de funcionamiento al aire libre recomendado (salvo indicación contraria)

Símbolo	Parámetro	Condiciones	Min	Tipo (Nota 4)	Max	Unidades
$V_I$	Tensión bloqueo entrada	$V_{CC} = \text{Max}, I_I = -12 \text{ mA}$			-1.5	V
$V_{OH}$	Salida de nivel alto Voltaje (B/RB0)	$V_{CC} = \text{Min}$ $I_{OH} = \text{Max}$	2.4	3.7		V
$I_{OZ}$	Salida de nivel alto Corriente (a través de g)	$V_{CC} = \text{Max}, V_O = 15V$ $V_A = \text{Max}, V_B = \text{Min}$			250	$\mu\text{A}$
$V_{OL}$	Salida de nivel bajo Voltaje	$V_{CC} = \text{Min}, I_{OL} = \text{Max}$ $V_A = \text{Min}, V_B = \text{Max}$		0.3	0.4	V
$I_I$	Corriente entrada al máx. Voltaje de entrada	$V_{CC} = \text{Max}, V_I = 5.5V$			1	$\text{mA}$
$I_{IH}$	Corriente entrada nivel alto	$V_{CC} = \text{Max}, V_I = 2.4V$			40	$\mu\text{A}$
$I_L$	Entrada de nivel bajo Corriente	$V_{CC} = \text{Max}$ $V_I = 0.4V$		B/RB0 Others	-4 -1.6	$\text{mA}$
$I_{OS}$	Cortocircuito Corriente de salida	$V_{CC} = \text{Max}$ (BURSO)			-4	$\text{mA}$
$I_{OC}$	Corriente de alimentación	$V_{CC} = \text{Max}$ (Nota 5)	DM54 DM74		60 85 103	$\text{mA}$

Note 4: All specifications at  $V_{CC} = \text{Min}$ ,  $T_A = 25^\circ\text{C}$ .  
**47A Características de conmutación**  
 at  $V_{CC} = 5V$  and  $T_A = 25^\circ\text{C}$  (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	Conditions	Min	Max	Units
$t_{PLH}$	Tiempo retardo de propagación Salida de nivel bajo a alto	$C_L = 15 \text{ pF}$ $R_L = 120\Omega$		100	ns
$t_{PLL}$	Tiempo retardo de propagación Salida de nivel alto a bajo			100	ns

Ficha técnica del 7447 (4)

Tabla de funciones

46A, 47A

Decimal o Función	Entrada					BARRA (Notas 6)	Salidas							Notas	
	LT	REI	D	C	B		A	a	b	c	d	e	f		g
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	(Nota 7)
1	H	X	L	L	L	H	H	L	L	L	H	H	H	H	
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	L	L	L	H	L	
11	H	X	H	L	H	H	H	H	L	L	H	H	L	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	L	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
BI	X	X	X	X	X	X	L	H	H	H	H	H	H	H	(Nota 8)
REI	L	L	L	L	L	L	L	H	H	H	H	H	H	H	(Nota 9)
LT	L	X	X	X	X	X	H	L	L	L	L	L	L	L	(Nota 10)

H = High level, L = Low level, X = Don't Care  
 Note 6: BARRA is a non-PIC logic symbol on Blanking input (BI) and/or ripple blanking output (REI).  
 Note 7: The Blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are decoded. The ripple blanking input (REI) must be open or held at a low logic level when output functions 16 through 19 are decoded.  
 Note 8: When a low logic level is applied directly to the Blanking input (BI), all segment outputs are high regardless of the level of any other input.  
 Note 9: When ripple blanking input (REI) and outputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go high and the ripple blanking output (REI) goes to a low level (response condition).  
 Note 10: When the blanking equalizer/blanking output (BARRA) is open or held high and a low is applied to the lamp test input, all segment outputs are 1.

### Representación digital 3

Complemento a 2: el esquema de números binarios usado para representar enteros positivos y negativos. Los positivos se representan del mismo modo que en esquema binario original, pero los negativos se representan como el número binario que es igual a cero cuando se le añade la representación binaria de su valor absoluto.

Ejemplo:  $41_{10} = 0010\ 1001_{2^s\ comp}$ ;  $-41_{10} = 1101\ 0111_{2^s\ comp}$   
Se puede ver que la suma de ambos números binarios es 0.

Para obtener una representación de complemento a 2 de un entero negativo, se toma la representación binaria del valor absoluto de dicho entero, se invierten los bits y se añade 1.

La suma de dos números binarios es muy sencilla, pero la resta es más complicada por la necesidad de “llevarse” números. Almacenando la información en complemento a dos y sumando los resultados se consigue el mismo efecto que si se restasen los números.

### Aritmética binaria

Suma: sumar números binarios es como la suma decimal: cuando el resultado de la suma de una columna de números sea mayor de un dígito, se lleva un 1 a la siguiente columna

Ejemplo:

$$\begin{array}{r}
 20_{10} = 00010100 \\
 87_{10} = 01010111 \\
 \hline
 01101011
 \end{array}$$

Resta: esta operación es similar a la resta decimal. El único posible punto de confusión es que cuando se lleva de una columna a otra, se pasa un  $10_2 (=2_{10})$  a la otra columna, no sólo un 1. Un truco para restar números binarios es añadir el complemento a 2 de los restandos a la representación binaria real del número que se está restando

Ejemplo:

$$\begin{array}{r}
 +19_{10} = 00010011 \\
 -7_{10} = 11111001 \\
 \hline
 \text{Sum} = 00001100
 \end{array}$$

Restar es fácil, pero en binarios es dificultoso.

**Sumadores de binarios**

Anteriormente se ha dicho que sumar números binarios es similar a sumar números decimales (hay que recordar llevarse bits en las sumas múltiples). La suma binaria se puede realizar usando puertas lógicas. Considérense primero los siguientes circuitos semisumadores:

Semisumador:

representación alternativa:

símbolo semisumador

Los circuitos suman dos números de un bit y general uno de dos bits. Nótese que ambas representaciones de la puerta lógica son equivalentes.

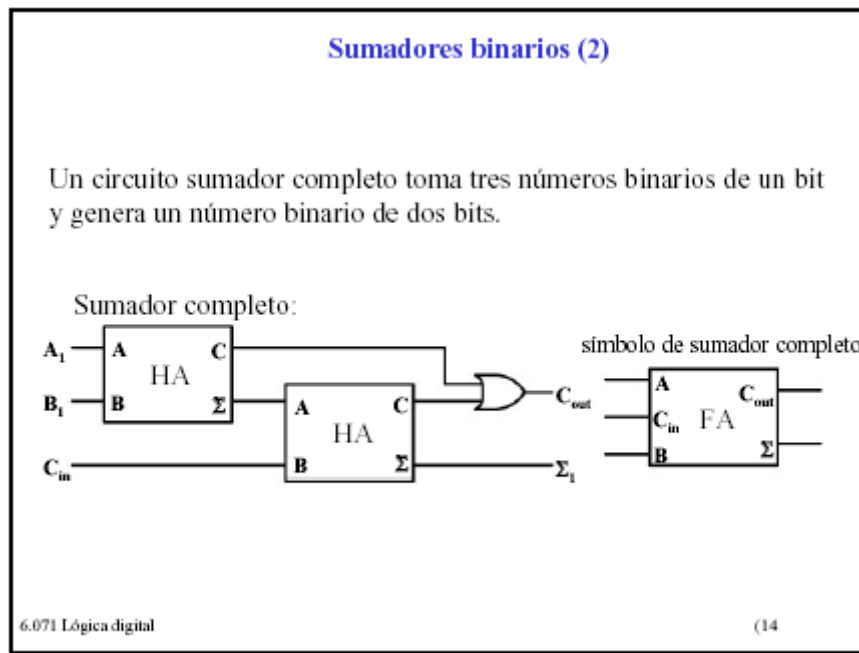
6.071 Lógica digital 13

Los sumadores son dispositivos muy útiles y son fáciles de explorar en representaciones binarias. Los semisumadores se usan para el bit de menor significación. Por supuesto, este bit no tiene posibilidad de un arrastre de un bit aún más bajo y por tanto sólo son importantes los dos números binarios en sí. Desde luego, los dos pueden generar un arrastre de bit. Por tanto, los semisumadores tienen dos entradas y dos salidas (la suma binaria y un arrastre).

El semisumador se representa de modo más sencillo con una O exclusiva, pero estos dispositivos no se suelen utilizar aquí y por ello se ha reescrito en términos de Y y NO-O. Como el semisumador se usa mucho, también se le ha adjudicado un símbolo especial.

Tabla de verdad:

A	B	$\Sigma$	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



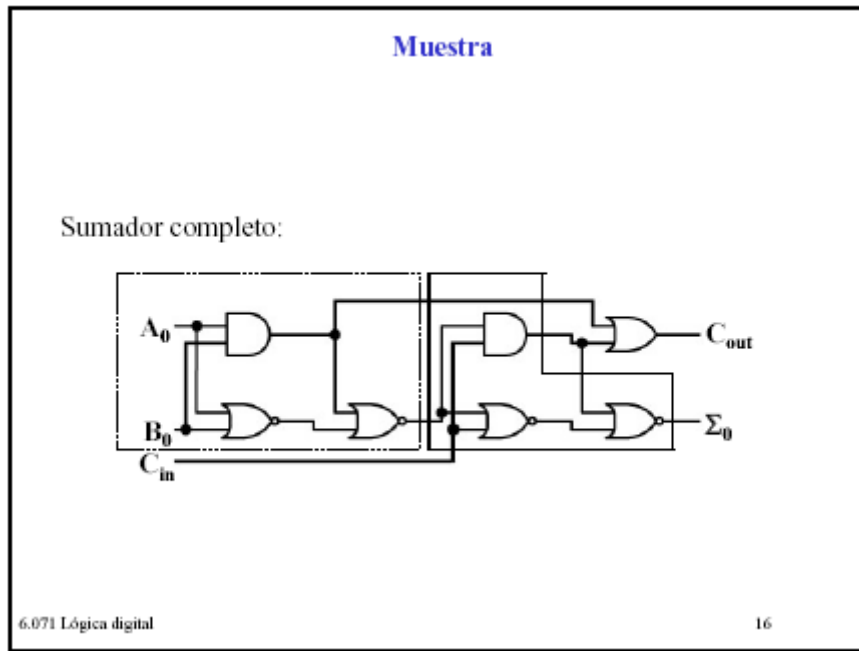
Los sumadores completos se usan para todo menos para el bit menos significativo. Aquí hay tres entradas (los dos números binarios y el arrastre del siguiente bit menos importante). Aún así, solo hay dos salidas: la suma de las entradas y un arrastre. Evidentemente, si se pueden sumar dos dígitos con un semisumador, con dos se pueden sumar tres números. Nótese la lógica para el arrastre.

Tabla de verdad:

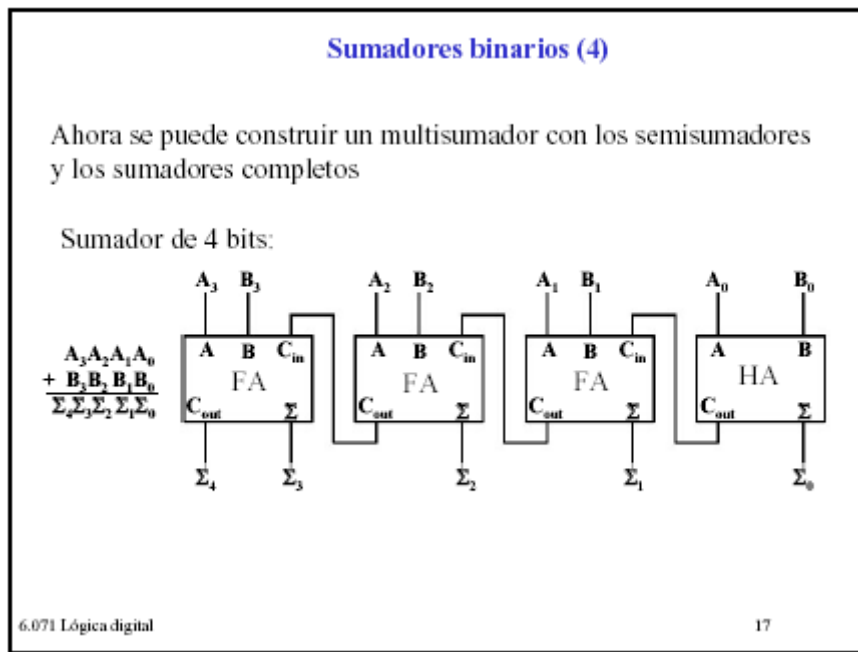
A	B	Cin	Sum	Cout
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

**Sumadores binarios (3)**

A	B	$\Sigma_{out}^1$	$C_{out}^1$	$C_{in}$	$\Sigma_{\Sigma_{out}^1+C_{in}^1}$	$C_{out}^2$	$C_{out}^1+C_{out}^2$
0	0	0	0	0	0	0	0
0	1	1	0	0	1	0	0
1	0	1	0	0	1	0	0
1	1	0	1	0	0	0	1
0	0	0	0	1	1	0	0
0	1	1	0	1	0	1	1
1	0	1	0	1	0	1	1
1	1	0	1	1	1	0	1



Nuestra versión de un sumador completo de 2 bits. En la clase se cambiará una de las puertas NO-O por una NO y una O.

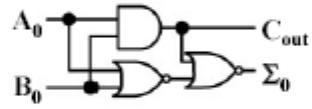


Sumador de 4 bits. El menos significativo es un semisumador y los demás son sumadores completos. Nótese(Observable) también que cuando se suman dígitos 2 números de 4 bits el resultado es de 5 bits.

Diapositiva 18

Muestra

Semisumador:



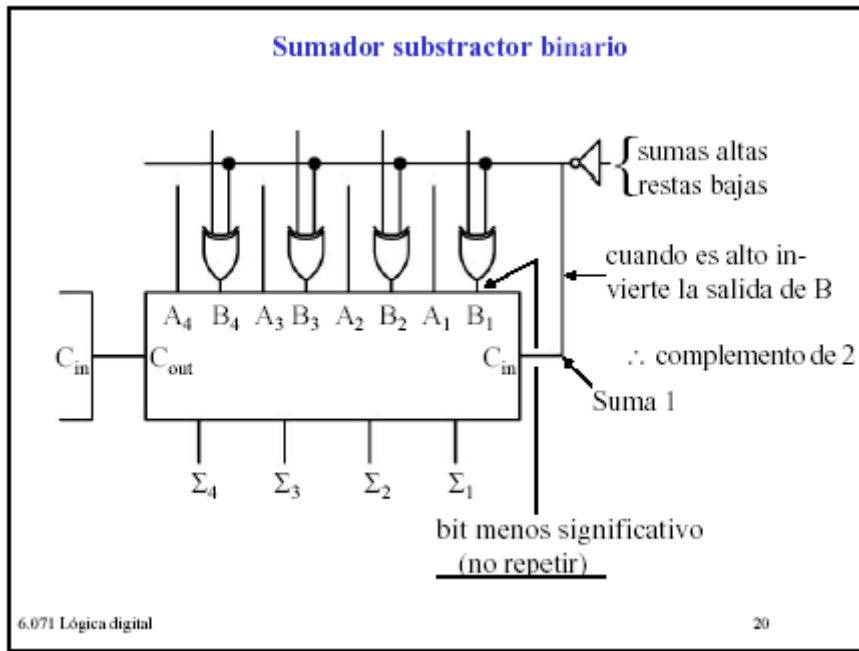
**Problema (punto extra prueba 5) :**

Utilizando el mayor número posible de componentes de esta lista, contruir un circuito que realice alguna función interesante. Describir la función y determinar la salida del circuito. No es necesario que sea muy eficiente, pero tampoco se debe poder reducir de modo trivial.

**Componentes:**

4x conmutadores	3x Y de tres entradas
1x relojes	3x NO-O de tres entradas
4x biestables JK	3x NO-Y de tres entradas
4x O	4x NO
4x Y	
4x NO-O	
4x NO-Y	

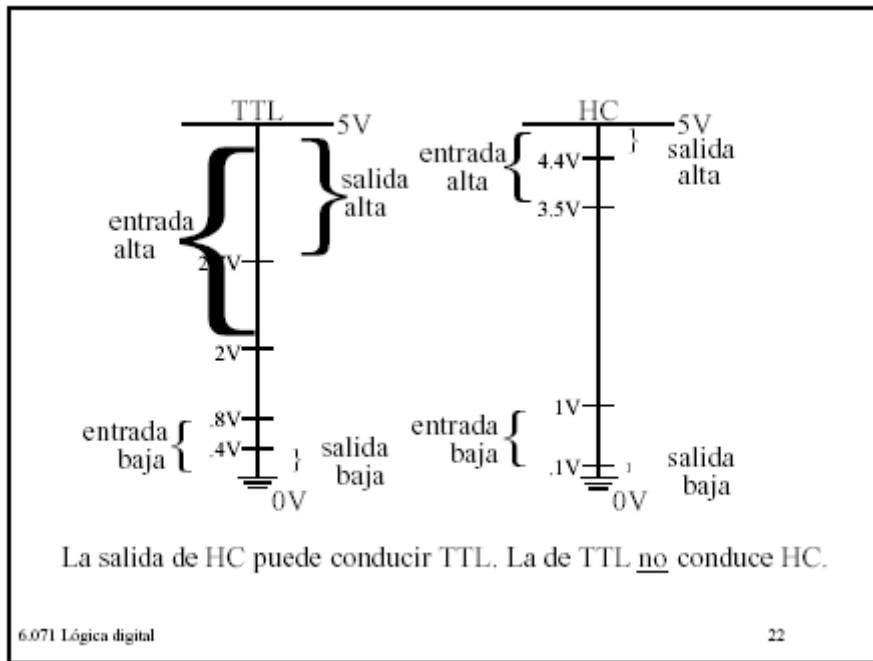
El circuito se presentará antes de iniciar la prueba.

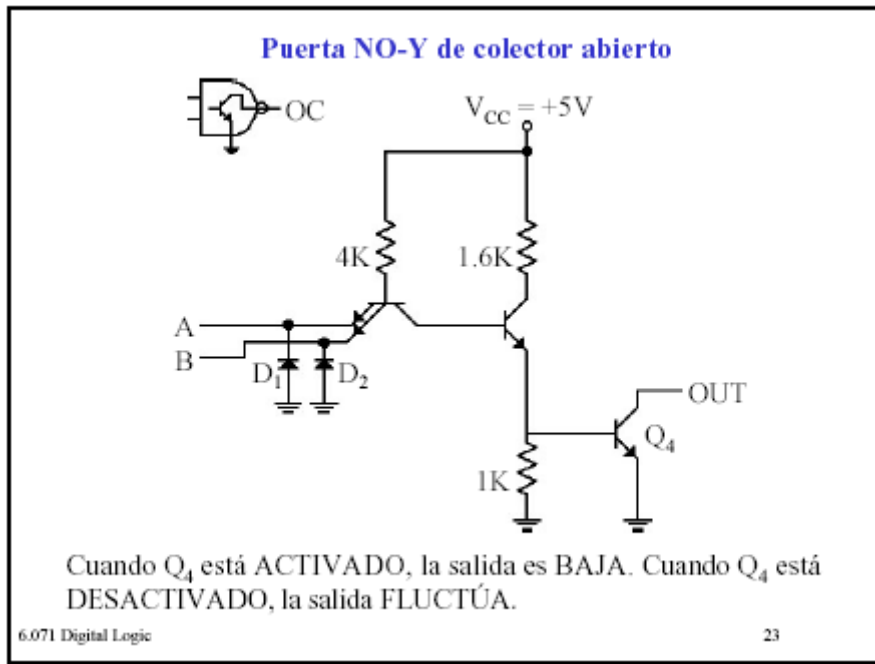


<b>Familias lógicas</b>		
<b>FAMILIA LÓGICA BIPOLAR</b>		
<b>TTL (Transistor-Transistor Logic)</b> TTL estándar (74) TTL de baja potencia (74L) TTL Schottky (74S) Schottky de baja potencia (74LS) Schottky avanzado (74AS) Schottky avanzado de baja potencia (74ALS) TTL rápido (74L)	<b>ECL (Emitter-Coupled Logic)</b> ECL III ECL 100K ECL 100KH ECL 10K	<b>IIL o PL (Integrated-Injection Logic)</b>
<b>FAMILIA LÓGICA MOS</b>		
<b>PMOS (MOSFET de canal P)</b>	<b>NMOS (MOSFET de canal)</b>	<b>CMOS (MOSFET complementario)</b> CMOS estándar (4000 (B)) CMOS de alta velocidad (74HC) CMOS de alta velocidad compatible TTL (74HCT) Lógica CMOS avanzada (74AC) CMOS avanzado compatible TTL (74ACT) CMOS de voltaje bajo (74LV)
<b>OTRAS</b>		
<b>BICMOS (Combinación de bipolar CMOS)</b> Tecnología GaAs (galio arsenio) Tecnología SOS (silicio en zafiro) Tecnología de unión Josephson		
6.071 Lógica digital		21

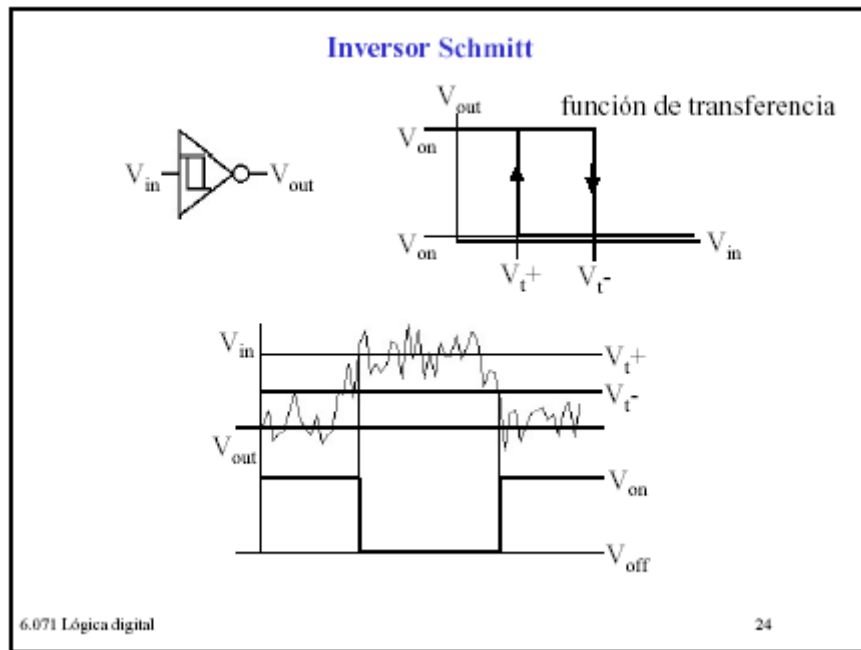
Hay muchas versiones de chips y no todas son compatibles. Algunas más antiguas son difíciles de encontrar y es fácil reemplazarlas con otros chips más modernos, como por ejemplo de la clase HCT. Hay que tener cuidado al mezclar diferentes tipos de chips.

Diapositiva 22

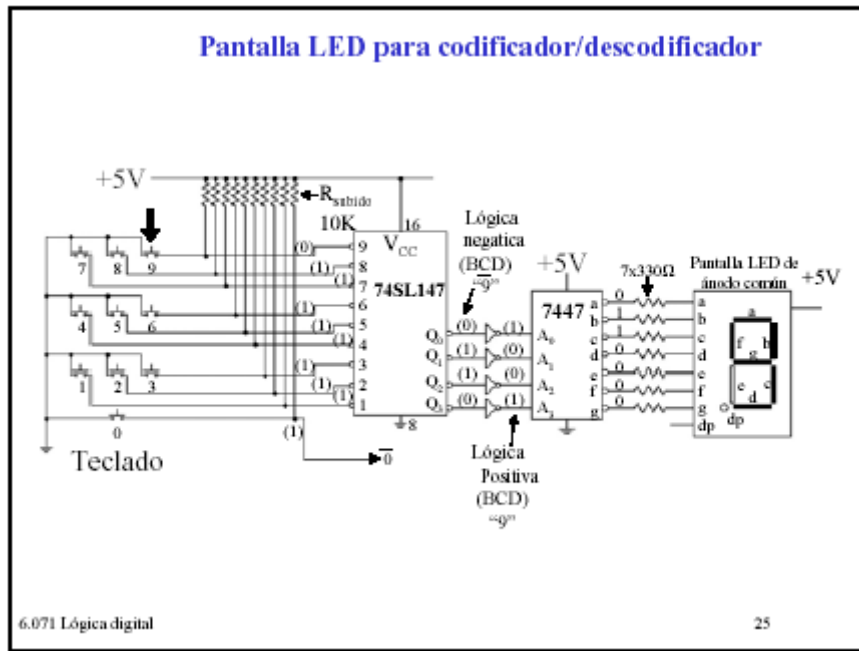




Cuando A y B son altos, los dos BJT en paralelo están desconectados (por los diodos emisores no pasan 0,6 V) de modo que la base de  $Q_3$  es alta y  $Q_3$  está activado y la base de  $Q_4$  es alta y la salida se baja. Sin embargo, en el estado de desactivación, la salida fluctúa. Si se usa esto en un circuito digital habrá que subir la salida a 5 V con una resistencia. Lo bueno de los dispositivos de colector abierto es que pueden disipar una buena cantidad de potencia. Por ello se puede usar para conmutar 15 V a 100 mA, cosa que no se puede hacer con una salida TTL normal.



Ya se ha tratado la histéresis con los amplificadores operacionales. Ésta también se usa con circuitos digitales, especialmente cuando se espera que haya ruido (como el rebote de un interruptor).



Ejemplo de la utilización de un codificador BCD de 10 líneas decimales a 4 líneas para hacer funcionar la pantalla LED de un teclado numérico. El 147 tiene 9 entradas y, cuando cualquiera de ellas disminuye, se obtiene a la salida una representación BCD invertida del dígito. Los invertidores la convierten a BCD que, entonces, se utiliza para hacer funcionar el 47 (que es un driver LED de BCD a 7 segmentos). El estado 0 no necesita codificación y se mostrará correctamente cuando los cuatro bits BCD sean bajos. Nótese que el estado de salida por omisión del 147 (todas las entradas altas) es con todas las salidas altas. Uno de los problemas del uso del 147 es que hay muchos otros estados de entrada que no parecen estar codificados adecuadamente. Por ejemplo, ¿qué pasa cuando disminuyen dos entradas? Para responder a esta pregunta, consúltense las fichas técnicas.

## Ficha técnica de 74LS147

SN54147, SN54148, SN54LS147, SN54LS148  
SN74147, SN74148 (TMM0907), SN74LS147, SN74LS148  
10-LINE TO 4-LINE AND 8-LINE TO 3-LINE PRIORITY ENCODERS  
ISSUES: 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100

**147, 148, 147**

- Encodes 10-Line Decimal to 4-Line BCD
- Applications Include:
  - Keyboard Encoding
  - Range Selection

**148, 148**

- Encodes 8 Data Lines to 3-Line Binary (BCD)
- Applications Include:
  - 8-Bit Encoding
  - Code Converters and Generators

TYPE	TYPICAL DATA RATE	TYPICAL POWER CONSUMPTION
147	10 ns	200 mW
148	10 ns	100 mW
147	10 ns	80 mW
148	10 ns	60 mW

**Description**

These TTL encoders feature priority decoding of the inputs to ensure that only the highest-order data line is encoded. The 147 and 147 encodes nine data lines to four-line (84-2-3) BCD. The implied decimal zero condition requires no input condition as zero is encoded when all nine data lines are at a high logic level. The 148 and 148 encodes eight data lines to three-line (4-2-1) binary (BCD). Cascading auxiliary enable input (EI) and enable output (EO) has been provided to allow total expansion without the need for external inverters. For all inputs, data inputs and outputs are active at the low logic level. All inputs are buffered to represent one normalized Series 54/74 or 54LS/74LS input, respectively.

**SN54147, SN54148, SN54LS147, SN54LS148**  
10-LINE TO 4-LINE AND 8-LINE TO 3-LINE PRIORITY ENCODERS  
TOP VIEW

**SN74147, SN74148, SN74LS147, SN74LS148**  
10-LINE TO 4-LINE AND 8-LINE TO 3-LINE PRIORITY ENCODERS  
TOP VIEW

NC: No internal connection

6.071 Lógica digital 26

### Ficha técnica de 74LS147 (2)

**74LS147**  
FUNCTION TABLE


INPUTS							OUTPUTS				
1	2	3	4	5	6	7	0	1	2	3	4
H	H	H	H	H	H	H	H	H	H	H	H
H	H	H	H	H	H	L	L	L	L	L	L
X	X	X	X	X	H	L	H	L	H	H	H
X	X	X	X	X	L	H	H	L	L	L	L
X	X	X	L	H	H	H	H	L	L	L	L
X	X	L	H	H	H	H	H	L	H	L	L
X	L	H	H	H	H	H	H	L	L	L	L
L	H	H	H	H	H	H	H	L	L	L	L
L	H	H	H	H	H	H	H	H	L	L	L

H = High logic level, L = Low logic level, X = Irrelevant

**74LS148**  
FUNCTION TABLE

INPUTS								OUTPUTS			
0	1	2	3	4	5	6	7	A0	A1	A2	ES
H	X	X	X	X	X	X	X	H	H	H	H
H	L	L	L	L	L	L	L	L	L	L	L
L	X	X	X	X	X	X	L	L	L	L	L
L	X	X	X	X	X	L	H	L	L	L	L
L	X	X	X	L	H	H	H	L	L	L	L
L	X	X	L	H	H	H	H	L	L	L	L
L	X	L	H	H	H	H	H	L	L	L	L
L	L	H	H	H	H	H	H	L	L	L	L
L	L	H	H	H	H	H	H	H	L	L	L
L	L	L	H	H	H	H	H	H	L	L	L
L	L	L	L	H	H	H	H	H	H	L	L
L	L	L	L	L	H	H	H	H	H	H	L
L	L	L	L	L	L	H	H	H	H	H	L
L	L	L	L	L	L	L	H	H	H	H	L
L	L	L	L	L	L	L	L	H	H	H	L
L	L	L	L	L	L	L	L	L	H	H	L
L	L	L	L	L	L	L	L	L	L	H	L
L	L	L	L	L	L	L	L	L	L	L	H

PRODOTTORE ESEMPLARATO E VENDITA AL PUBBLICO USU.  
 PRODOTTORE ESEMPLARATO E VENDITA AL PUBBLICO USU.  
 PRODOTTORE ESEMPLARATO E VENDITA AL PUBBLICO USU.  
 PRODOTTORE ESEMPLARATO E VENDITA AL PUBBLICO USU.



POST OFFICE BOX 502201 • DALLAS, TEXAS 75220

Copyright © 2001, Texas Instruments Incorporated

6.071 Lógica digital
27

Nótese que el número decimal más alto que cae está codificado. La X de la tabla indica que el estado de esa entrada no es relevante.

### Ficha técnica 74LS147 (3)

valores absolutos máximos dentro del rango de temperaturas de funcionamiento al aire libre recomendado (salvo indicación contraria)

Voltage de alimentación V <sub>CC</sub> (ver nota 1)	7 V
Voltage entrada 147, 548	5.5 V
LS147, LS148	7 V
Transmitter voltage: 148 only (see Note 2)	5.5 V
Operating free-air temperature range: SN54, SN54LS Circuits	-65°C to 125°C
SN74, SN74LS Circuits	0°C to 70°C
Storage temperature range	-65°C to 160°C

NOTES: 1. Voltage values, except transmitter voltage, are with respect to network ground terminal.  
 2. This is the voltage between two any two of a multiple emitter transistors. For 148 only, this rating applies between any one of the eight data lines, 0 through 7.

condiciones de funcionamiento recomendadas

	SN54 <sup>1</sup>			SN74 <sup>1</sup>			SN54LS <sup>2</sup>			SN74LS <sup>2</sup>			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>			-800			-800			-100			-100	μA
Low-level output current, I <sub>OL</sub>			16			16			4			4	mA
Operating free-air temperature, T <sub>A</sub>	-55		125	0		70	-55		125	0		70	°C

### Ficha técnica 74LS147 (4)

SN54147, SN54148, SN54LS147, SN54LS148  
 SN74147, SN74148 (TIM9907), SN74LS147, SN74LS148  
 CODIFICADORES DE PRIORIDAD DE 10 LÍNEAS A 4 LÍNEAS Y DE 8 LÍNEAS A 3 LÍNEAS  
 (ELECTRONICS—OCTOBER 1975—REVISED FEBRUARY 2001)

valores absolutos o sólo os dentro del rango de temperaturas de funcionamiento al aire libre recom endado (salvo indicación contraria)

PARÁMETRO	CONDICIONES DE PRUEBA <sup>1</sup>	*147		*148		UNIT
		MIN	TYP† MAX	MIN	TYP† MAX	
V <sub>IH</sub> High-level input voltage		2		2		V
V <sub>OL</sub> Low-level input voltage			0.8		0.8	V
V <sub>IH</sub> Input clamp voltage	V <sub>CC</sub> = MIN, I <sub>I</sub> = -10 mA		-1.6		-1.6	V
V <sub>OZH</sub> High-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2 V, V <sub>OL</sub> = 0.8 V, I <sub>OH</sub> = -800 µA	2.4	3.3	2.4	3.3	V
V <sub>OL</sub> Low-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2 V, V <sub>IH</sub> = 0.8 V, I <sub>OL</sub> = 8 mA	0.2	0.4	0.2	0.4	V
I <sub>I</sub> Input current at maximum input voltage	V <sub>CC</sub> = MAX, V <sub>I</sub> = 3.5 V		1		1	mA
I <sub>IH</sub> High-level input current	0 input		-40		-40	µA
	Any input except 0		40		80	µA
I <sub>IL</sub> Low-level input current	0 input		-1.6		-3.2	mA
	Any input except 0		-1.6		-3.2	mA
I <sub>CC</sub> Short-circuit output current <sup>2</sup>	V <sub>CC</sub> = MAX	-35	-80	-20	-80	mA
I <sub>CC</sub> Supply current	V <sub>CC</sub> = MAX, Condition 1	50	75	45	60	mA
	See Note 3, Condition 2	62	62	35	55	mA

NOTE 3: For \*147, I<sub>CC</sub> (condition 1) is measured with input 7 grounded, other inputs and outputs open; I<sub>CC</sub> (condition 2) is measured with all inputs and outputs open. For \*148, I<sub>CC</sub> (condition 1) is measured with inputs 7 and 8 grounded, other inputs and outputs open; I<sub>CC</sub> (condition 2) is measured with all inputs and outputs open.

For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

†All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C.

†Use measures and steps should be observed in a time.

### Ficha técnica 74LS147 (5)

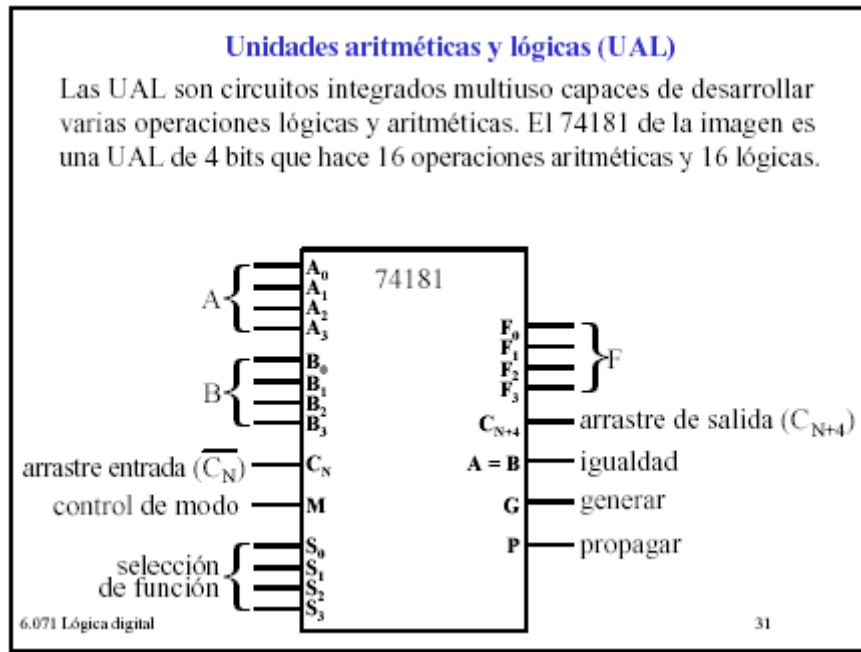
**SN54147, SN74147** características de conmutación,  $V_{CC} = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$

PARÁMETRO <sup>1</sup>	DE (ENTRADA)	A (SALIDA)	FORMA DE ONDA	CONDICIONES DE PRUEBA	MIN	TVF	MAX	UNIT
$t_{PLH}$	Any	Any	In-phase output	$C_L = 15\text{ pF}$ , $R_L = 400\ \Omega$ , See Note 4	9	16		ns
$t_{PHL}$			Out-of-phase output		7	11		
$t_{PLH}$	Any	Any	Out-of-phase output		13	19		ns
$t_{PHL}$			Output		12	19		

**SN54148, SN74148** características de conmutación,  $V_{CC} = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$

PARÁMETRO <sup>1</sup>	DE (ENTRADA)	A (SALIDA)	FORMA DE ONDA	CONDICIONES DE PRUEBA	MIN	TVF	MAX	UNIT
$t_{PLH}$	1 thru 7	AO, A1, or A2	In-phase output	$C_L = 15\text{ pF}$ , $R_L = 400\ \Omega$ , See Note 4	10	15		ns
$t_{PHL}$			Out-of-phase output		9	14		
$t_{PLH}$	1 thru 7	AO, A1, or A2	Out-of-phase output		13	19		ns
$t_{PHL}$			Output		12	19		
$t_{PLH}$	0 thru 7	B0	Out-of-phase output		8	10		ns
$t_{PHL}$			Output		14	20		
$t_{PLH}$	0 thru 7	0S	In-phase output		10	15		ns
$t_{PHL}$			Output		14	20		
$t_{PLH}$	0S	AO, A1, or A2	In-phase output		10	15		ns
$t_{PHL}$			Output		10	15		
$t_{PLH}$	0S	0S	In-phase output		8	10		ns
$t_{PHL}$			Output		10	15		
$t_{PLH}$	0S	0Q	In-phase output		10	15		ns
$t_{PHL}$			Output		17	30		

<sup>1</sup> $t_{PLH}$  = propagation delay time, low-to-high-level output  
<sup>2</sup> $t_{PHL}$  = propagation delay time, high-to-low-level output  
 NOTE 4: Load circuits and voltage waveforms are shown in Section 3.



Este chip puede desarrollar, mediante un selector de funciones programable, cualquier operación lógica y muchas aritméticas con palabras de 24 bits. En realidad se trata de un dispositivo mas bien anticuado para los estándares actuales, pero tiene algunas buenas capacidades de chips más complejos. Hoy se utilizaría más bien un microprocesador que una UAL.

Para las operaciones aritméticas, el chip dispone de una entrada (desde una serie de UAL de menor significación) y un arrastre de salida (a una serie de UAL de mayor significación). El chip funciona en complemento de 2 y puede sumar, restar, doblar, etc.

## Ficha técnica 74181



### UNIDAD ARITMÉTICA LÓGICA DE 4 BITS

The SN54/74LS181 is a 4-bit Arithmetic Logic Unit (ALU) which can perform all the possible 16 logic operations on two variables and a variety of arithmetic operations.

- Provides 16 Arithmetic Operations: Add, Subtract, Compare, Double, Plus Twelve Other Arithmetic Operations
- Provides all 16 Logic Operations of Two Variables: Exclusive — OR, Compare, AND, NAND, OR, NOR, Plus Ten other Logic Operations
- Full Lookahead for High Speed Arithmetic Operation on Long Words
- Input Clamp Diodes

**DIAGRAMA DE CONEXIÓN DIP (VISTO DESDE ARRIBA)**



**NOTE:**  
The P16848 version has the same pinout (Connection Diagram) as the Dual In-Line Package.

SN54/74LS181

UNIDAD ARITMÉTICA LÓGICA DE 4 BITS

SCHOTTKY DE BAJA POTENCIA



J SUFFIX  
CERAMIC  
CASE 403-05



N SUFFIX  
PLASTIC  
CASE 648-01

INFORMACIÓN PARA PEDIDOS

SN54LS181J    Cerámico  
SN74LS181N    Plástico

6.071 Lógica digital

32

### Ficha técnica 74181 (2)

**NOMBRES PIN**

$A_0-A_3, B_0-B_3$	Entradas operandos (BAJA activas)	1.5 U.L.	0.75 U.L.
$S_0-S_3$	Función: selección de entradas	2.0 U.L.	1.0 U.L.
M	Entrada de control de modo	0.5 U.L.	0.25 U.L.
$C_{in}$	Arrastre de entrada	2.5 U.L.	1.25 U.L.
$F_0-F_3$	Salidas función (BAJA activas)	70 U.L.	5 (2.5) U.L.
$\Delta = 0$	Salida comparador	Columna abierta	5 (2.5) U.L.
0	Generador de arrastre	70 U.L.	10 U.L.
1	Salida		
$\beta$	Propagación de arrastre (BAJA activas)	70 U.L.	5 U.L.
$C_{out}$	Salida de arrastre	70 U.L.	5 (2.5) U.L.

**NOTAS:**  
 1. TTL. Umbral de nivel: 1.4V para HIGH y 0.8V para LOW.  
 2. The Output FLOUT drive factor is 25 U.L. for 50kΩ y 5 U.L. for Commercial (PC).  
 Temperature Range:

**SÍMBOLO LÓGICO**

**TABLA DE FUNCIONAMIENTO**

MODE SELECT INPUTS				ACTIVE LOW INPUTS & OUTPUTS				ACTIVE HIGH INPUTS & OUTPUTS			
$S_3$	$S_2$	$S_1$	$S_0$	LOGIC	ARITHMETIC*	LOGIC	ARITHMETIC*	LOGIC	ARITHMETIC*	LOGIC	ARITHMETIC*
				00 = 0	01 = 1	10 = 0	11 = 1	00 = 0	01 = 1	10 = 0	11 = 1
L	L	L	L	A	A menos 1	A	A	A	A	A	A
L	L	L	H	0	AB menos 1	0	A-B	A-B	A-B	A-B	A-B
L	L	H	L	1	AB menos 1	1	A-B	A-B	A-B	A-B	A-B
L	L	H	H	0	AB menos 1	0	A-B	A-B	A-B	A-B	A-B
L	H	L	L	0	A menos 1	0	A	A	A	A	A
L	H	L	H	1	A menos 1	1	A	A	A	A	A
L	H	H	L	0	A menos 1	0	A	A	A	A	A
L	H	H	H	1	A menos 1	1	A	A	A	A	A
H	L	L	L	0	A menos 1	0	A	A	A	A	A
H	L	L	H	1	A menos 1	1	A	A	A	A	A
H	L	H	L	0	A menos 1	0	A	A	A	A	A
H	L	H	H	1	A menos 1	1	A	A	A	A	A
H	H	L	L	0	A menos 1	0	A	A	A	A	A
H	H	L	H	1	A menos 1	1	A	A	A	A	A
H	H	H	L	0	A menos 1	0	A	A	A	A	A
H	H	H	H	1	A menos 1	1	A	A	A	A	A

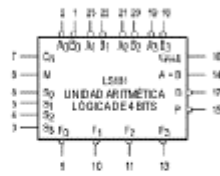
\* 1 = 0 para salida de arrastre.  
 \* = 0 para salida de arrastre.  
 \* 0 = 1 para salida de arrastre.  
 \* 1 = 0 para salida de arrastre.

6.071 Lógica digital
33

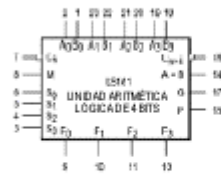
Nótese que incluso en el ámbito aritmético el símbolo + significa 0 y AB significa A y B. La palabra más significa suma.

### Ficha técnica 74181 (3)

OPERANDOS BAJOS ACTIVOS



OPERANDOS ALTOS ACTIVOS



RANGOS DE FUNCIONAMIENTO GARANTIZADO

Símbolo	Parámetro		Min	Typ	Max	Unid
V <sub>CC</sub>	Voltaje de alimentación	54	4.5	5.0	5.5	V
		74	4.75	5.0	5.25	
T <sub>A</sub>	Rango de funcionamiento a temperatura ambiente	54	-55	25	125	°C
		74	5	25	70	
I <sub>OH</sub>	Corriente de salida: Alta	54, 74			-0.4	mA
I <sub>OL</sub>	Corriente de salida: Baja	54			4.0	mA
		74			5.0	
V <sub>OH</sub>	Voltaje de salida: alto (sólo A-B)	54, 74			5.5	V

### Ficha técnica 74181 (4)

CARACTERÍSTICAS CC DENTRO DEL RANGO DE TEMPERATURAS DE FUNCIONAMIENTO (a menos indicación en contrario)

Símbolo	Parámetro	Límites			Unidad	Condiciones de prueba
		Min	Typ	Max		
V <sub>CC</sub>	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V <sub>L</sub>	Input LOW Voltage	V <sub>A</sub>		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		V <sub>B</sub>		0.8	V	
V <sub>IC</sub>	Input Clamp Diode Voltage		-0.90	-1.5	V	V <sub>CC</sub> = 5.0V, I <sub>CL</sub> = -10 mA
V <sub>OH</sub>	Output HIGH Voltage	V <sub>A</sub>	2.5	3.5	V	V <sub>CC</sub> = 5.0V, I <sub>OH</sub> = MAX, V <sub>OL</sub> = 0.4 or V <sub>L</sub> per Truth Table
		V <sub>B</sub>	2.7	3.5	V	
I <sub>OL</sub>	Output LOW Current (EXCEPT Output B)	V <sub>A</sub> , V <sub>B</sub>	0.25	0.4	mA	V <sub>CC</sub> = 5.0V, V <sub>OL</sub> = V <sub>OL</sub> (MAX), I <sub>OL</sub> = I <sub>OL</sub> (MAX) per Truth Table
		V <sub>A</sub> , V <sub>B</sub>	0.35	0.5	mA	
		V <sub>A</sub> , V <sub>B</sub>		0.7	mA	
		V <sub>A</sub> , V <sub>B</sub>		0.5	mA	
I <sub>OH</sub>	Output HIGH Current	V <sub>A</sub> , V <sub>B</sub>		1.0	mA	V <sub>CC</sub> = 5.0V, I <sub>OH</sub> = MAX, V <sub>OL</sub> = 0.4 or V <sub>L</sub> per Truth Table
I <sub>ih</sub>	Input HIGH Current (Any A or B Input, Any Z Input, Cu Pin <sup>1</sup> )	V <sub>A</sub> , V <sub>B</sub>		20	μA	V <sub>CC</sub> = 5.0V, V <sub>OL</sub> = 0.7 V
		V <sub>A</sub> , V <sub>B</sub>		80	μA	
		V <sub>A</sub> , V <sub>B</sub>		100	μA	
I <sub>il</sub>	Input LOW Current (Any A or B Input, Any Z Input, Cu Pin <sup>1</sup> )	V <sub>A</sub> , V <sub>B</sub>		0.1	mA	V <sub>CC</sub> = 5.0V, V <sub>OL</sub> = 1.0 V
		V <sub>A</sub> , V <sub>B</sub>		0.8	mA	
		V <sub>A</sub> , V <sub>B</sub>		0.9	mA	
I <sub>CC</sub>	Input Z Current (Pin 2)	V <sub>A</sub> , V <sub>B</sub>		1.0	mA	V <sub>CC</sub> = 5.0V
		V <sub>A</sub> , V <sub>B</sub>		1.0	mA	
I <sub>CC</sub>	Power Supply Current (See Note 1A)	V <sub>A</sub> , V <sub>B</sub>		22	mA	V <sub>CC</sub> = 5.0V
		V <sub>A</sub> , V <sub>B</sub>		28	mA	
		V <sub>A</sub> , V <sub>B</sub>		35	mA	
		V <sub>A</sub> , V <sub>B</sub>		37	mA	

Note 1:  
 1. Pin 2 is a tri-state output. The maximum current is 10 mA. Pin 2 is not to be used as an input.  
 2. Pin 2 is a tri-state output. The maximum current is 10 mA. Pin 2 is not to be used as an input.  
 3. Pin 2 is a tri-state output. The maximum current is 10 mA. Pin 2 is not to be used as an input.  
 4. Pin 2 is a tri-state output. The maximum current is 10 mA. Pin 2 is not to be used as an input.

### Ficha técnica 74181 (5)

CARACTERÍSTICAS CA (f<sub>A</sub> = 25°C, V<sub>CC</sub> = 5.0 V, P<sub>in</sub> 52 = 320, C<sub>L</sub> = 15 pF)

Símbolo	Parámetro	Límites			Unidad	Condiciones de prueba
		Min	Typ	Max		
T <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay (C <sub>in</sub> to C <sub>out</sub> )	18 15	27 20		ns	M = 0 V (Sum or Diff Mode) See Fig. 4 and Tables I and II
T <sub>PLH</sub> t <sub>PHL</sub>	(G <sub>0</sub> to F Output)	17 13	26 20		ns	M = 0 V (Sum Mode) See Fig. 4 and Table I
T <sub>PLH</sub> t <sub>PHL</sub>	(A or B inputs to G Output)	19 15	29 23		ns	M = S <sub>1</sub> = S <sub>2</sub> = 0 V, S <sub>0</sub> = S <sub>3</sub> = 4.5 V (Sum Mode) See Fig. 4 and Table I
T <sub>PLH</sub> t <sub>PHL</sub>	(A or B inputs to G Output)	21 21	32 32		ns	M = S <sub>0</sub> = S <sub>3</sub> = 0 V, S <sub>1</sub> = S <sub>2</sub> = 4.5 V (Diff Mode) See Fig. 5 and Table II
T <sub>PLH</sub> t <sub>PHL</sub>	(A or B inputs to F Output)	20 20	30 30		ns	M = S <sub>1</sub> = S <sub>2</sub> = 0 V, S <sub>0</sub> = S <sub>3</sub> = 4.5 V (Sum Mode) See Fig. 4 and Table I
T <sub>PLH</sub> t <sub>PHL</sub>	(A or B inputs to F Output)	20 22	30 33		ns	M = S <sub>0</sub> = S <sub>3</sub> = 0 V, S <sub>1</sub> = S <sub>2</sub> = 4.5 V (Diff Mode) See Fig. 5 and Table II
T <sub>PLH</sub> t <sub>PHL</sub>	(A <sub>X</sub> or B <sub>X</sub> inputs to F <sub>X</sub> Output)	21 15	32 26		ns	M = S <sub>1</sub> = S <sub>2</sub> = 0 V, S <sub>0</sub> = S <sub>3</sub> = 4.5 V (Sum Mode) See Fig. 4 and Table I
T <sub>PLH</sub> t <sub>PHL</sub>	(A <sub>X</sub> or B <sub>X</sub> inputs to F <sub>X</sub> Output)	21 21	32 32		ns	M = S <sub>0</sub> = S <sub>3</sub> = 0 V, S <sub>1</sub> = S <sub>2</sub> = 4.5 V (Diff Mode) See Fig. 5 and Table II
T <sub>PLH</sub> t <sub>PHL</sub>	(A <sub>X</sub> or B <sub>X</sub> inputs to F <sub>X+1</sub> Output)		36 26		ns	M = S <sub>1</sub> = S <sub>2</sub> = 0 V, S <sub>0</sub> = S <sub>3</sub> = 4.5 V (Sum Mode) See Fig. 4 and Table I
T <sub>PLH</sub> t <sub>PHL</sub>	(A <sub>X</sub> or B <sub>X</sub> inputs to F <sub>X+1</sub> Output)		38 38		ns	M = S <sub>0</sub> = S <sub>3</sub> = 0 V, S <sub>1</sub> = S <sub>2</sub> = 4.5 V (Diff Mode) See Fig. 5 and Table II
T <sub>in 14</sub> t <sub>in 14L</sub>	(A or B inputs to F Output)	22 20	35 36		ns	M = 4.5 V (Logic Mode) See Fig. 4 and Table I
T <sub>PLH</sub> t <sub>PHL</sub>	(A or B inputs to C <sub>out-4</sub> Output)	26 25	38 36		ns	M = 0 V, S <sub>0</sub> = S <sub>3</sub> = 4.5 V, S <sub>1</sub> = S <sub>2</sub> = 0 V (Sum Mode) See Fig. 4 and Table I
T <sub>PLH</sub> t <sub>PHL</sub>	(A or B inputs to C <sub>out-4</sub> Output)	27 27	41 41		ns	M = 0 V, S <sub>0</sub> = S <sub>3</sub> = 0 V, S <sub>1</sub> = S <sub>2</sub> = 4.5 V (Diff Mode)
T <sub>PLH</sub> t <sub>PHL</sub>	(A or B inputs to A = B Output)	33 41	50 62		ns	M = S <sub>0</sub> = S <sub>3</sub> = 0 V, S <sub>1</sub> = S <sub>2</sub> = 4.5 V R <sub>L</sub> = 200 Ω (Diff Mode) See Fig. 5 and Table II